

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183432

(43)Date of publication of application : 23.07.1993

(51)Int.Cl. H03L 7/14  
H03L 7/107

(21)Application number : 04-000561

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.01.1992

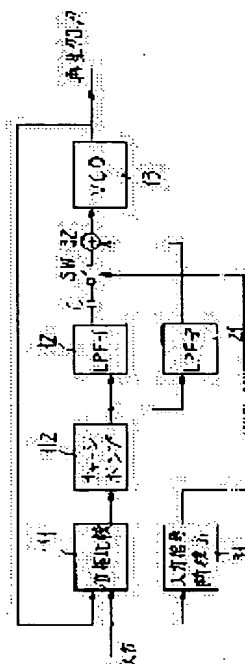
(72)Inventor : NAKAMURA MICHIHARU

## (54) CLOCK RECOVERY CIRCUIT

## (57)Abstract:

PURPOSE: To output a correct recovered clock regardless of the stop or operating state of a receiver by outputting a sum output signal of 1st and 2nd LPFs or an output of the 2nd LPF as a control signal when an input signal is impressed or not impressed to a phase comparator respectively.

CONSTITUTION: A phase comparator 111 detects a phase difference of an input signal impressed intermittently and an output of a VCO 13 and sends the result to LPFs 12, 21 via a charge pump circuit 112. The circuit 112 includes a capacitor and charged by a phase difference voltage while the phase difference signal is received. On the other hand, the LPF 12 extracts a voltage VAC corresponding to the phase difference and the LPF 21 extracts a DC voltage VDC. While the input signal is received, a switch SW is closed, the signals from the LPFs 12, 21 are added by an adder 32, the result is fed to the VCO as a control signal, from which a recovered clock signal is obtained. While no input signal is received, an input signal detector 31 detects it to turn off the SW, and an output of the LPF 21 is fed to the VCO 13. Thus, the synchronization is attained in a short pull-in time in the succeeding operating state of the receiver.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-183432

(43)公開日 平成 5 年(1993) 7 月23日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/14 7/107	A	9182-5 J		
		9182-5 J	H 0 3 L 7/ 10	C

審査請求 未請求 請求項の数 2 (全 10 頁)

(21)出願番号 特願平4-561

(22)出願日 平成 4 年(1992) 1 月 7 日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 中村 道春

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

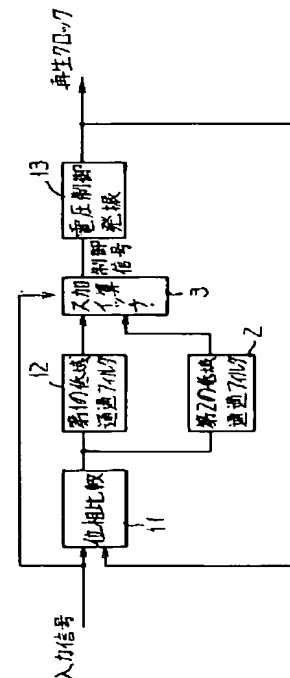
(54)【発明の名称】 クロック再生回路

(57)【要約】

【目的】 例えば、間欠受信を行なう移動通信用受信機で使用するクロック再生回路に関し、受信機が停止状態から動作状態に移行した時にも常に正しい再生クロックを供給できる様にすることを目的とする。

【構成】 電圧制御発振部13と位相比較部11と第1の低域通過フィルタ部12とを有するクロック再生回路において、該入力信号の周波数と該電圧制御発振部の自走周波数との差成分を取り出す第2の低域通過フィルタ部2と、該入力信号が印加している時は、該第1の低域通過フィルタ部の出力と第2の低域通過フィルタ部の出力を加算した信号を該制御信号として送出し、該入力信号が印加してない時は、該第2のフィルタ部の出力を該制御信号として送出するスイッチ・加算手段3を付加するように構成する。

第1の本発明の原理構成図



## 【特許請求の範囲】

【請求項1】 入力する制御信号に対応して、周波数が増減した出力信号を生成する電圧制御発振部(13)と、間欠的に印加する入力信号と該電圧制御発振器の出力信号の位相比較をして、対応する位相差信号を送出する位相比較部(11)と、該位相差信号中の不要成分を除去する第1の低域通過フィルタ部(12)とを有するクロック再生回路において、

該入力信号の周波数と該電圧制御発振部の自走周波数との差成分を取り出す第2の低域通過フィルタ部(2)と、該入力信号が印加している時は、該第1の低域通過フィルタ部の出力と第2の低域通過フィルタ部の出力を加算した信号を該制御信号として送出し、

該入力信号が印加していない時は、該第2のフィルタ部の出力を該制御信号として送出するスイッチ・加算手段(3)を付加したクロック再生回路。

【請求項2】 印加するマスタクロックを、入力する制御信号に対応した分周比で分周する可変分周部(43)と、間欠的に印加する入力信号と分周クロックとの位相比較をして位相差情報を送出するが、該入力信号が印加しない間は位相差情報の送出を断にする位相比較部(41)と、該位相差情報に追従可能な第3の時定数を持ち、位相差情報を積算・平均化して雑音成分を除去する第3の低域通過フィルタ手段(42)を有し、

該入力信号が印加されている間、該第3の低域通過フィルタ手段の出力を該制御信号として該可変分周部に印加することにより、該分周クロックを入力信号に位相同期させ、再生クロックとして送出するクロック再生回路において、

入力信号の周波数と該可変分周部の自走周波数との差周波数に追従可能な時定数を持ち、入力する該位相差情報を積算・平均化して取り出した差周波情報を送出する第4の低域通過フィルタ手段(5)と、

該差周波数情報を積算・保持した保持値を利用して制御信号を生成し、該入力信号が印加されない間、該可変分周部に印加する制御信号生成手段(6)とを付加したことを特徴とするクロック再生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば、移動通信用受信機で使用するクロック再生回路に関するものである。

【0002】 近年、移動通信分野では、持ち運びの容易さ、或いは設置場所の収納スペースの要求から、機器の小型・軽量化は必須の条件で、この為、回路の低消費電力化は重要な課題である。

【0003】 送受信機を低消費電力化することは、電池の寿命を長くするだけでなく、より小さな電池や電源装置で動作することができ、小型・軽量化を図るために非常に有効である。特に、移動端末は、電源として電池が使用され、機器のうち、電池が占める体積・重量の割合

が非常に大きい為、低消費電力化が機器の小型・軽量化に寄与するところは大きい。

【0004】 さて、数年後にサービス開始が予定されているデジタル携帯・自動車電話システムではTDMA方式が検討されている。受信機の低消費電力化を図る為、非通話時に受信機の動作を止める間欠受信は不可欠な技術である。

【0005】 しかし、受信機が動作を開始した時にクロックタイミングが取れていなければ正しいデータの復調はできない。そこで、受信機が停止状態から動作状態に移行した時にも常に正しい再生クロックを供給できる様にすることが必要である。

## 【0006】

【従来の技術】 一般に、FSK、PSK等のデジタル変調波から符号を再生する場合、復調して得られるアナログ信号を最適なタイミングで識別判定して2値符号に変換する必要があるが、上記のアナログ信号からこのタイミングを生成する為にクロック再生回路が用いられる。

【0007】 クロック再生回路の実現方法として、アナログPLLを用いる方法、整流器等の非線形素子とフィルタを用いたアナログ回路による方法、デジタルPLLを用いたデジタル回路による方法、及びその混合型があるが、アナログPLL、デジタルPLLを用いる方法について説明する。

【0008】 図5は従来例の説明図(アナログPLL方式)で、(a)は構成図、(b)は(a)の動作説明図、図6は従来例の別の構成図(デジタルPLL方式)である。なお、図5(b)の左側の符号は図5(a)の中の同じ符号の部分の波形を示す。以下、図の動作を説明する。

【0009】 先ず、図5(a)において、例えば乗算器で構成された位相比較器11は、間欠的に印加する入力信号と電圧制御発振器(以下、VCOと省略する)13の出力信号の位相差を検出するが、検出した位相差には入力信号の周波数成分や不要な雑音が含まれているので、低域通過フィルタ12でこれらの不要成分を除去する。

【0010】 そして、低域通過フィルタの出力をVCO制御電圧として印加するが、図5(a)に示す帰還ループ18は負帰還ループになっているので、VCOの出力信号の位相が入力信号の位相に比べて進んだ場合、VCOの出力信号の位相を遅らせる様にVCOの発振周波数を制御し、VCOの出力信号の位相が入力信号の位相に比して遅れた場合は上記と逆の制御となる。

【0011】 この時のVCO制御電圧は、図5(b)-①、②に示す様に、間欠的に印加する入力信号の周波数 $f_i$ とVCOの自走周波数 $f_0$ との差周波数 $(f_i - f_0)$ に対応した直流電圧 $V_{bc}$ と入力信号に追従する為の電圧 $V_{ac}$ の和になっている。

【0012】 ここで、図5(b)-②の一番下のギザギザ部分(入力信号がない時の雑音成分を示す)から点線までが直流電圧 $V_{bc}$ で、右側の2つの↓の間の部分の電圧が

V<sub>AC</sub>である。なお、入力信号が存在しない時のVCOの制御電圧は、一番下の雑音成分となるか、または、入力信号が存在した時の値が保持される(図5(b)-②には保持した場合は示していない)。

【0013】次に、図6において、エッジ検出器14は、入力信号の変化点(例えば、立上り)を検出し、変化点検出信号を位相比較器15に加える。ここには、可変分周器17からの分周クロックも加えられているので、変化点検出信号と分周クロックとの間の位相を比較して、進み/遅れを検出し、対応する進み情報、または遅れ情報をランダムウォークフィルタ16に送出する(例えば、進みの時は01, 遅れの場合は10の情報である)。

【0014】ランダムウォークフィルタ16は、アップダウンカウンタを用いた積分器、即ち低域通過フィルタの部分であり、アップダウンカウンタ161と比較器162とで構成されている。

【0015】さて、アップダウンカウンタ161は、中央値に設定された初期状態からカウント動作を開始するが、位相比較器から進み情報/遅れ情報が印加される度にカウントアップ/カウントダウンを行なう。

【0016】比較器162はフィルタ段数としての所定しきい値が設定されており(例えば、カウントアップに対してはオール1, カウントダウンに対しては0)、アップダウンカウンタ161のカウント値が、この所定しきい値に達した時にオーバーフロー信号/アンダーフロー信号をANDゲート18a, またはANDゲート18bを介して可変分周器17に送出すると共に、リセットして中央値に戻る。

【0017】なお、比較器162はアップダウンカウンタ161の出力を平均化することにより、この出力中に含まれている雑音によって分周クロックの位相が無闇に変化するのを防止している。

【0018】可変分周器17は、印加されるオーバーフロー信号/アンダーフロー信号に応じてマスタクロックの挿入/削除を行なう挿入削除部分171と、挿入削除部分の出力をn分周するn分周器172とからなり、n分周器172に入力されるマスタクロックを1クロックずつ挿入/削除することにより分周比を可変し、分周クロックの位相を変化させている。

【0019】上記の様に、入力信号の変化点と分周クロック位相のズレを修正する方向に分周クロックの位相を(1/n)マスタクロックずつ遅らせ/進ませるので、これを繰り返すことにより、入力信号に位相同期した分周クロック(即ち、再生クロック)を定常的に生成する。

【0020】ここで、受信機が間欠動作して入力信号が存在しない期間、エッジ検出器14には雑音が印加されるので、この検出器から誤った検出信号をランダムウォークフィルタ16に送出する可能性がある。この時、ランダムウォークフィルタがオーバーフロー/アンダーフローを

可変分周器17に送出し、この分周器が対応して動作すると再生クロックの不要なジッタとなる。

【0021】そこで、入力信号がない時、例えば“0”の追従禁止信号(MSK)をANDゲート18a, 18bに印加して、ランダムウォークフィルタの出力が可変分周器に印加しない様にして、この分周器に固定分周比で分周させる様にする。

【0022】

【発明が解決しようとする課題】上記の様に、間欠動作により受信機が停止している間、VCOの制御電圧、または可変分周器を制御する為の信号が得られず、VCOの出力信号、または可変分周器の分周クロックの周波数はその自走周波数となっている。

【0023】VCOの制御電圧を保持する方法でも、保持された電圧によるVCOの発振周波数が送信クロック周波数に一致するとは限らない。さて、受信機が停止している時間が長くと、入力信号の周波数と分周クロックの自走周波数の違いにより、再び、受信機が動作した時にはクロック再生回路が出力するクロックの位相と、受信された信号のクロックの位相は異なったものとなっている。

【0024】例えば、入力信号の周波数が21KHzの時、入力周波数と分周クロックの自走周波数との違いを10ppmに抑えたとしても、700msの停止時間の間に約53°の位相差となる。ここで、クロック再生回路が入力信号に追従してこの差がなくなる為に必要な時間は引込時間と呼ばれるが、この差が大きい程、長い引込時間が必要となる。

【0025】なお、引込時間が長いと、引き込むまでに送信されたデータは正しく受信されない。また、引き込む為の受信時間を持たせることは、低消費電力化の為に出来るだけ長く受信機を停止させたいと云う要求に反する。

【0026】この様に、長い引込時間を要する原因は、入力信号の周波数とクロック再生回路の自走周波数の違いによる受信機停止期間中の位相のずれにあり、送信側のクロックの周波数と再生クロックの自走周波数が一致していれば、引込時間が長くなることはない。

【0027】本発明は、受信機が停止状態から動作状態に移行した時にも常に正しい再生クロックを供給できる様にするを目的とする。

【0028】

【課題を解決するための手段】図1は第1の本発明の原理構成図、図2は第2の本発明の原理構成図である。図中、13は入力する制御信号に対応して、周波数が変化した出力信号を生成する電圧制御発振部、11は間欠的に印加する入力信号と該電圧制御発振部の出力信号の位相比較をして、対応する位相差信号を送出する位相比較部、12は該位相差信号中の不要成分を除去する第1の低域通過フィルタ部である。

【0029】2は入力信号の周波数と該電圧制御発振部の自走周波数との差成分を取り出す第2の低域通過フィルタ部、3は入力信号が印加している時は、第1の低域通過フィルタ部の出力と2の低域通過フィルタ部の出力を加算した信号を制御信号として送出し、入力信号が印加していない時は、第2のフィルタ部の出力を制御信号として送出するスイッチ・加算手段である。

【0030】43は印加するマスタクロックを、入力する制御信号に対応した分周比で分周する可変分周部、41は間欠的に印加する入力信号と分周クロックとの位相比較をして位相差情報を送出するが、該入力信号が印加しない間は位相差情報の送出を断にする位相比較部である。42は位相差情報に追従可能な第3の時定数を持ち、位相差情報を積算・平均化して雑音成分を除去する第3の低域通過フィルタ手段、5は入力信号の周波数と該可変分周部の自走周波数との差周波数に追従可能な時定数を持ち、入力する該位相差情報を積算・平均化して取り出した差周波情報を送出する第4の低域通過フィルタ手段、6は該差周波数情報を積算・保持した保持値を利用して制御信号を生成し、該入力信号が印加されない間、該可変分周部に印加する制御信号生成手段である。

【0031】

【作用】第1の本発明は、時定数の十分大きい第2の低域通過フィルタ部を用いて、間欠的に印加する入力信号の周波数と電圧制御発振部の自走周波数の差に対応する直流電圧  $V_{dc}$  を求め、受信機が停止している間は、この第2の低域通過フィルタ部が出力する電圧で電圧制御発振部を発振させる様にした。

【0032】即ち、受信機動作時には、第1の低域通過フィルタ部が出力する、入力信号の周波数に追従する為の電圧  $V_{ac}$  と、第2の低域通過フィルタ部が出力する、入力信号の周波数と電圧制御発振部の自走周波数の差に対応する直流電圧  $V_{dc}$  の和が電圧制御発振部の制御電圧となり、従来のクロック再生回路と同じ動作をする。

【0033】受信機停止時には、スイッチ・加算手段を駆動して、第2の低域通過フィルタが出力する、入力信号の周波数と電圧制御発振部の自走周波数の差に対応する直流電圧  $V_{dc}$  を電圧制御発振部の制御電圧として加える。

【0034】この時の電圧制御発振部の発振周波数と入力信号の周波数との差は小さい為、次の受信機が動作状態になった時に両者の位相差は小さく、短い引込時間で同期させることができる。

【0035】第2の本発明は、時定数の十分大きな第4の低域通過フィルタ手段（即ち、ランダムウォークフィルタ）を用いて、入力するバースト状信号の周波数と可変分周部が出力する自走周波数の差を求め、その差を制御信号生成手段に積算して保持し、保持した値を利用して可変分周部の分周比を制御する様にした。

【0036】即ち、受信機動作時には、第3の低域通過

フィルタ手段が出力する、入力信号の周波数に追従する為の可変分周部への制御信号と、制御信号生成手段が出力する、第4の低域通過フィルタ手段の出力を積算して保持した保持値を用いて生成した制御信号とによって可変分周部が制御されるので、従来のクロック再生回路と同じ動作をする。

【0037】入力する信号が存在しない時は、制御信号生成手段から送出される制御信号によって可変分周部の分周比が制御される。この時、分周クロックの周波数は入力信号とほぼ等しい為、次に受信機が動作状態になった時に両者の位相差は小さく、短い引込時間で同期させることができる。

【0038】

【実施例】図3は第1の本発明の実施例の構成図（アナログPLL方式）、図4は第2の本発明の実施例の構成図（デジタルPLL方式）である。

【0039】ここで、コンデンサC、スイッチSW、加算器32はスイッチ・加算手段3の構成部分、U/Dカウンタ51、コンパレータ52は第4の低域通過フィルタ手段5の構成部分、レジスタ61、タイマ62、インバータ63、ANDゲート64a、64b、ORゲート65a、65bは制御信号生成手段6の構成部分である。

【0040】なお、全図を通じて同一符号と同一対象物である。以下、図3、図4の動作を説明するが、従来例で詳細説明した部分は概略説明し、本発明の部分について詳細に説明する。

【0041】先ず、図3において、位相比較器111は、間欠的に印加する入力信号と電圧制御発振器（以下、VCOと省略する）13の出力信号の位相差を検出するが、この位相差はチャージポンプ回路112を介して低域通過フィルタ12、21に送出される。

【0042】ここで、チャージポンプ回路112はコンデンサを含んでおり、位相差が印加している間は、位相差に対応した電圧で充電される。しかし、位相差の印加がなくなれば、なくなる直前の電圧がそのまま保持される様になっている。

【0043】また、低域通過フィルタ12は上記と同様に、入力した位相差中の不要成分を除去して位相差に対応する電圧  $V_{ac}$  を取り出すものであり、低域通過フィルタ21は入力信号の周波数とVCOの自走周波数との差に対応する直流電圧  $V_{dc}$  を取り出すものである。

【0044】一方、入力信号が印加している間は、SWはオンの状態にあるので、低域通過フィルタ12、21の出力が加算器32で加算されて、電圧  $(V_{dc} + V_{ac})$  が制御信号としてVCOに印加される（図5(b)-②参照）。これにより、VCOの出力信号は入力信号と同相になるので、出力信号を利用して再生クロックが得られる。

【0045】しかし、入力信号が印加しない間は入力信号断検出器31がこれを検出し、断検出信号をスイッチSWに送出するので、スイッチはオフ状態になり、低域通過

フィルタ21の出力  $V_{bc}$  のみがVCO 13に印加する。この時、VCO の発振周波数と入力信号の周波数の差は小さい為、次の受信機が動作状態になった時、短い引込み時間で同期可能となる。

【0046】次に、図4において、エッジ検出器411で入力信号の変化点を検出し、検出結果を位相比較器412に送出する。ここには、分周器43がマスタクロックを、例えばn分周した分周クロックも加えられているので、2つ変化点を比較して比較結果を出力する。

【0047】例えば、エッジ検出器411の出力の方が分周クロックの変化点よりも進んでいる場合、位相比較器412の進み端子から1、遅れ端子から0がアップダウンカウンタ51のU端子、D端子に印加する。そこで、U/Dカウンタ51は中央値よりカウントアップを開始するが、カウントアップが連続するとカウント値が段々に大きくなっていく。なお、遅れている場合には、進み端子から0、遅れ端子から1を出力する。

【0048】ここで、コンパレータ52は、U/Dカウンタ51のカウント値と予め設定されたしきい値+Mとの大きさを比較し、一致したことを検出したらオーバーフローを示す+1をレジスタ53に送出し、中央値に戻ってカウント動作を繰り返す。

【0049】なお、上記のMの値は大きくすると時定数の長いフィルタになり、小さくすると時定数の短いフィルタになる。また、位相が遅れている時はU/Dカウンタはダウンカウントし、カウント値と-Mとの大きさを比較する。

【0050】レジスタ61は、オーバーフローの回数を積算し、積算値を格納する機能を持っているので、最初は0であるが、コンパレータから+1が印加する毎に絶対値を積算し、積算値の補数を取った補数値をタイマ62にプリセットする。

【0051】なお、+、-の符号は、直接、ANDゲート64aと、インバータ63を介してANDゲート64bに印加する。従って、進み位相が続けばANDゲート64aがオン状態になり、遅れ位相が続けばANDゲート64bがオンになる。但し、オーバーフロー回数0の時はプリセットしない。

【0052】さて、タイマ62は、積算値の補数値に対応する時間だけ動作した後、1をオン状態のANDゲート64a、ORゲート65aを介して可変分周器43加えるので分周比が1つアップし、例えば、3分周していたのが4分周となる。しかし、アンダーフローの時は2分周となる。

【0053】なお、コンパレータ52から+1を送出する回数が多くなると、タイマから1を送出するまでの時間

が短くなり、分周比の変化が頻繁となる。上記の動作により、分周クロックの位相は、入力信号の変化点と分周クロックの変化点のズレを修正する方向に(1/n)マスタクロックだけ遅れる/進むことになる。そこで、これを繰り返すことにより、入力信号に同期した分周クロック、(再生クロック)が得られる。

【0054】即ち、上記の動作により、受信機が間欠動作をし、受信信号が存在しない時にも可変分周器の分周比が操作され、受信信号の長い時間の平均の周波数と等しい周波数の分周クロックが得られる。

【0055】間欠動作中、雑音による無効な位相比較器の出力により、可変分周器が動作して分周クロックの不要なジッタとならない様に、受信信号がない時は位相比較器の出力を追従禁止信号で無効にしている。

【0056】これにより、受信機が停止状態中、分周クロックの自走周波数と入力信号の違いによって生じる位相のズレを低減でき、受信機動作開始後、短い時間でクロックが同期し、短い時間で正しい復調をすることができるので、間欠停止時間を長くすることができ、より低消費電力が可能となる。

【0057】

【発明の効果】以上詳細に説明した様に本発明は、受信機が停止状態から動作状態に移行した時にも常に正しい再生クロックを供給できると言う効果がある。

【図面の簡単な説明】

【図1】第1の本発明の原理構成図である。

【図2】第2の本発明の原理構成図である。

【図3】第1の本発明の実施例の構成図(アナログPLL方式)である。

【図4】第2の本発明の実施例の構成図(デジタルPLL方式)である。

【図5】従来例の説明図(アナログPLL方式)で、(a)は構成図、(b)は(a)の動作説明図である。

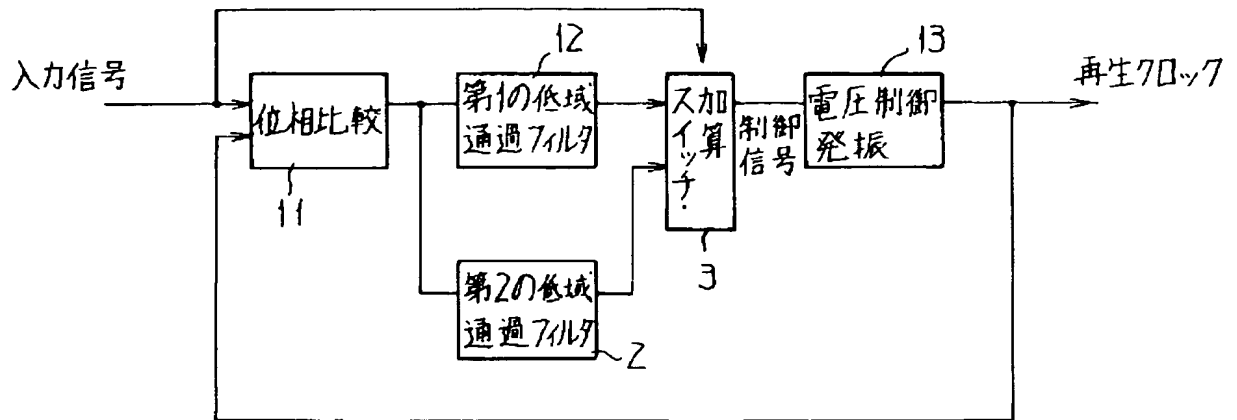
【図6】従来例の別の構成図(デジタルPLL方式)である。

【符号の説明】

- |                 |                 |
|-----------------|-----------------|
| 2 第2の低域通過フィルタ部  | 3 スイッチ・加算手段     |
| 5 第4の低域通過フィルタ手段 | 6 制御信号生成手段      |
| 11, 41 位相比較部    | 12 第1の低域通過フィルタ部 |
| 13 電圧制御発振部      | 42 第3の低域通過フィルタ部 |
| 43 可変分周部        |                 |

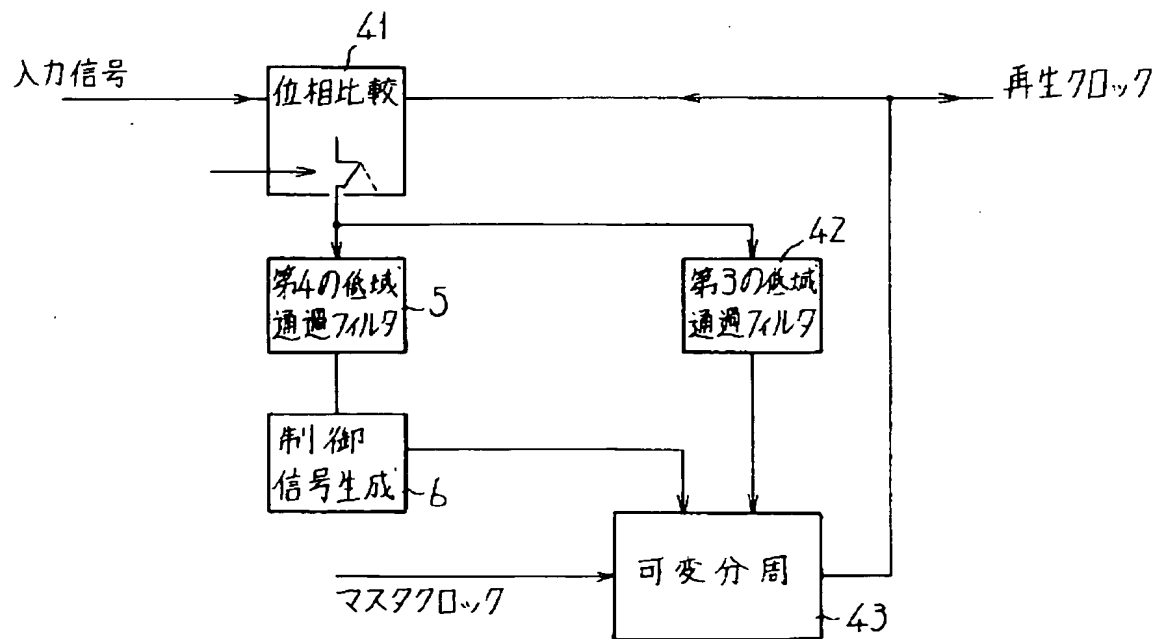
【図1】

## 第1の本発明の原理構成図



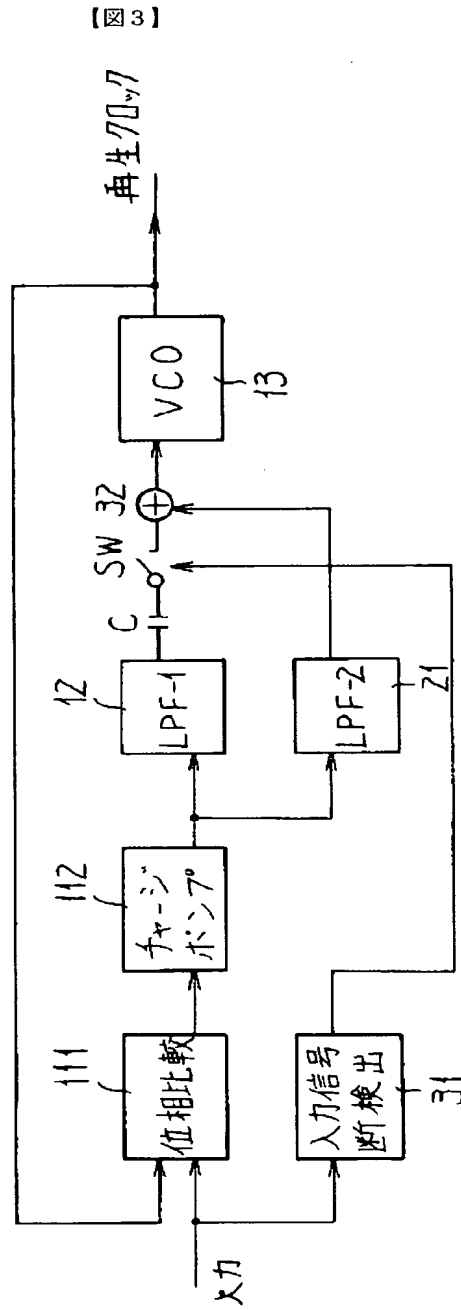
【図2】

## 第2の本発明の原理構成図



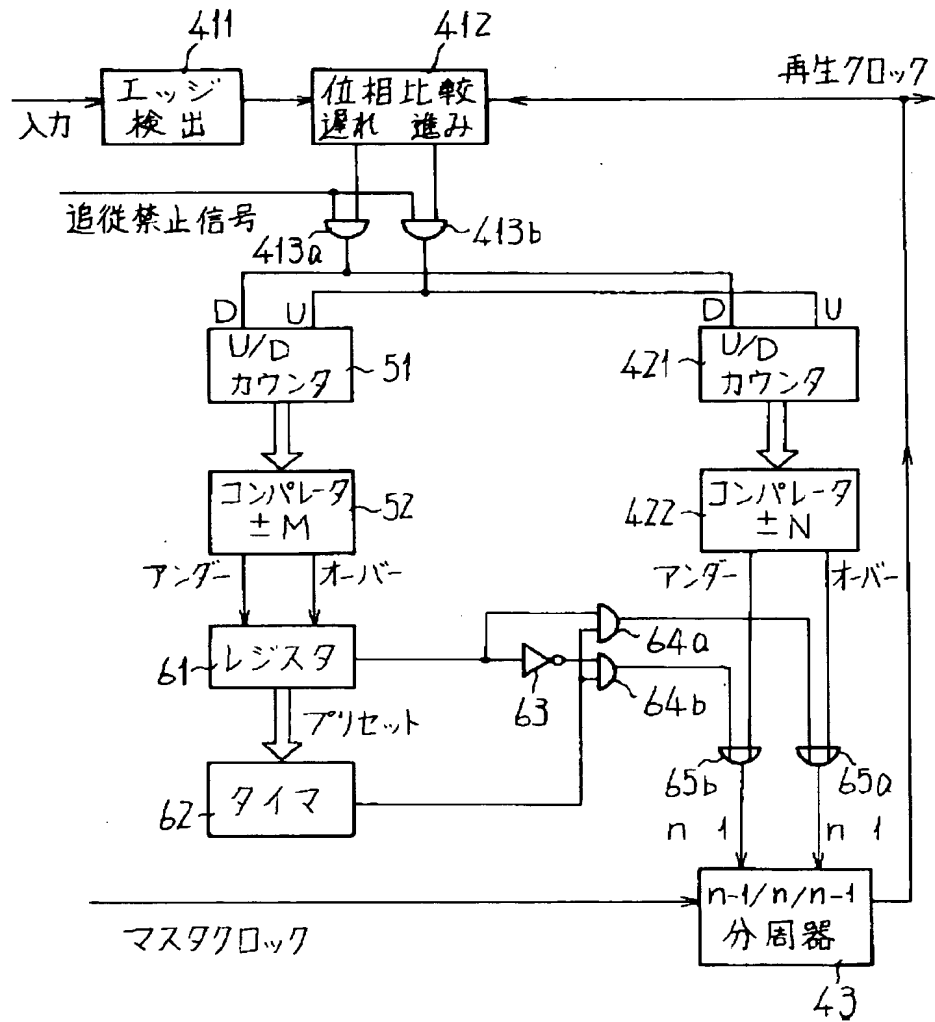


第1の本発明の実施例の構成図  
(アナログPLL方式)



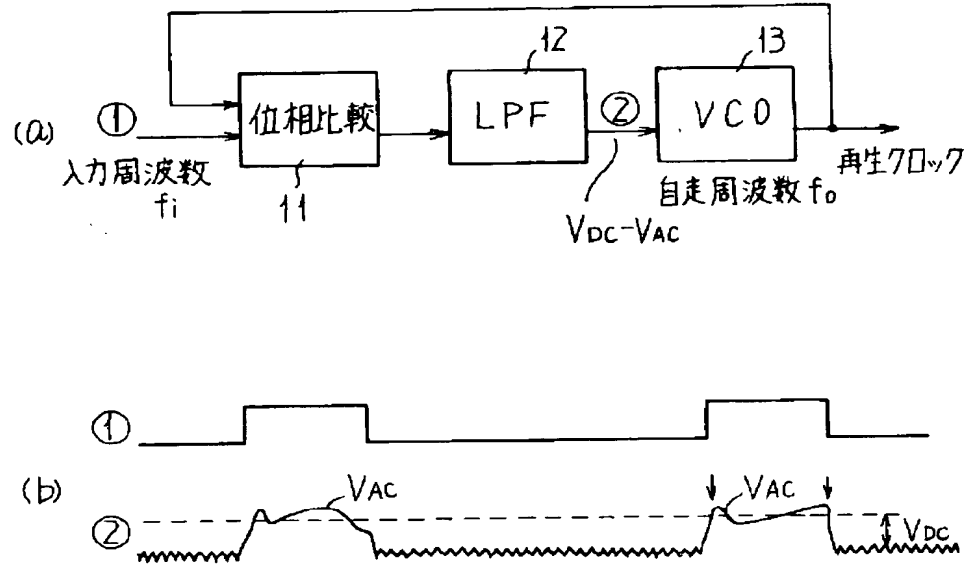
【図4】

第2の本発明の実施例の構成図  
(デジタルPLL方式)



【図5】

従来例の説明図  
(アナログPLL方式)



【図6】

従来例の別の構成図  
(デジタルPLL方式)

